




Stackable ball grid array (BGA) semiconductor casing

Patent number: DE19845316
Publication date: 1999-12-02
Inventor: CHUN DONG SEOK (KR)
Applicant: LG SEMICON CO LTD (KR)
Classification:
- international: H01L23/055; H01L23/31; H01L25/10; H01L23/02; H01L23/28; H01L25/10; (IPC1-7): H01L23/057; H01L23/50; H01L25/10
- european: H01L23/055; H01L23/31H; H01L25/10J
Application number: DE19981045316 19981001
Priority number(s): KR19980020098 19980530

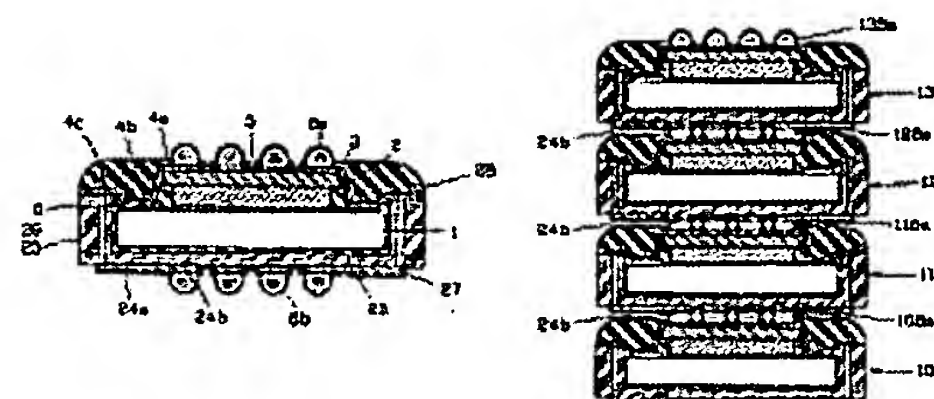
Also published as:

 US6291259 (B1)
 KR266693 (B1)
 JP11354669 (A)

[Report a data error here](#)

Abstract of DE19845316

The casing has a support (21) with carrier plate (23), locating a carrier frame (25). Both surfaces have exposed metal patterns (26). The plate underside has formed conductive tracks (24a), coupled to the patterns. Tracks are screened by a solder stop layer (27), while couplers (24b) are formed by partly exposed tracks. A top-contact semiconductor chip is fitted (1). The chip top has metal tracks (4a) with feed lines (4b), extended outwards with conductive balls (8a). Parts of the assembly are encapsulated (28). An Independent claim is also included for the method of manufacturing the BGA package.



Data supplied from the esp@cenet database - Worldwide

①⑨ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 45 316 A 1**

②① Aktenzeichen: 198 45 316.7
②② Anmeldetag: 1. 10. 98
②③ Offenlegungstag: 2. 12. 99

⑤① Int. Cl.⁶:
H 01 L 23/057
H 01 L 23/50
H 01 L 25/10

DE 198 45 316 A 1

③⑩ Unionspriorität:
20098/98 30. 05. 98 KR

⑦① Anmelder:
LG Semicon Co., Ltd., Cheongju, KR

⑦④ Vertreter:
WUESTHOFF & WUESTHOFF Patent- und
Rechtsanwälte, 81541 München

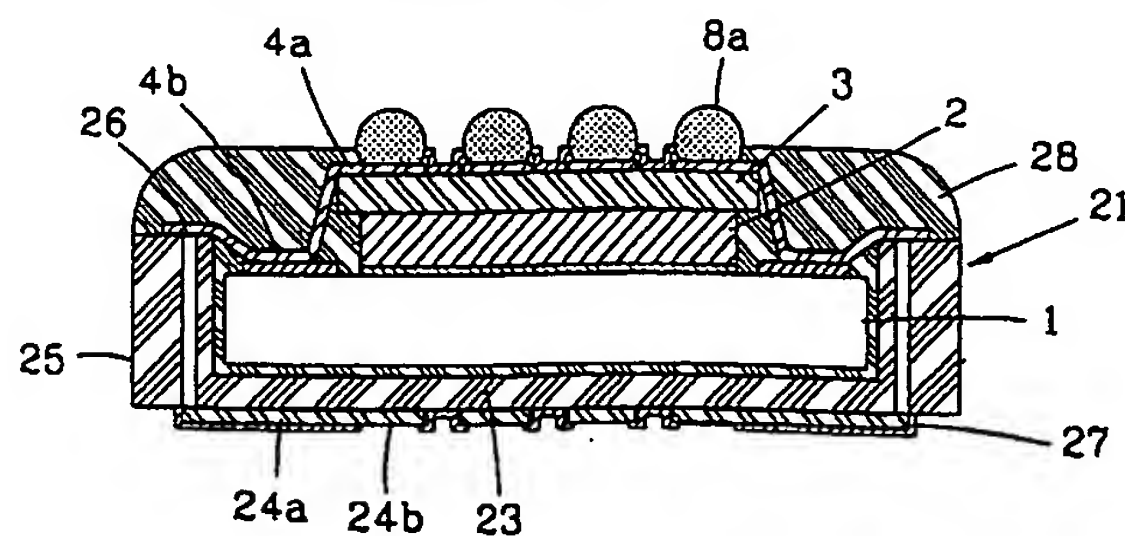
⑦② Erfinder:
Chun, Dong Seok, Cheongju, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Stapelbares Ball-Grid-Array-Halbleitergehäuse und Verfahren zu dessen Herstellung

⑤⑦ Die vorliegende Erfindung betrifft ein stapelbares BGA-Halbleiterchipgehäuse und ein Verfahren zu dessen Herstellung, welche die Zuverlässigkeit und Packungsdichte eines Halbleitergehäuses erhöhen. Das stapelbare BGA-Halbleiterchipgehäuse beinhaltet: einen Träger (21), ausgestattet mit einer Trägerplatte (23), an einer Unterseite der Trägerplatte (23) befindlichen Metalleiterbahnen (24a), einem auf einem Randteil einer oberen Oberfläche der Trägerplatte (23) geformten Trägerrahmen (25) und in den Trägerrahmen (25) gelegten Metallmustern (26); einen in dem Trägerglied (21) platzierten und mit Kontaktflächen (6) auf dessen oberer Oberfläche ausgestatteten Halbleiterchip (1); an einem Oberteil des Halbleiterchips (1) durch ein Elastomer (2) angebrachte Metalleiterbahnen (4a); die Kontaktflächen (6), die Metalleiterbahnen (4a) und jede obere Oberfläche der Metallmuster (26) verbindende Metallzuleitungen (4b); und eine Mehrzahl von an vorbestimmten Teilen oberer Oberflächen der Metalleiterbahnen (4a) angebrachten leitenden Kugeln (8a).



DE 198 45 316 A 1

HINTERGRUND DER ERFINDUNG

Bereich der Erfindung

Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und besonders ein stapelbares Ball-Grid-Array-(BGA-)Halbleitergehäuse (Kugel-Gitter-Matrix-Halbleitergehäuse) und ein Verfahren zu dessen Herstellung.

Diskussion des Stands der Technik

Viele Firmen unternehmen gegenwärtig große Anstrengungen, hoch integrierte Gehäuse mit hoher Pinanzahl (Kontaktzahl), wie zum Beispiel ein BGA-Halbleitergehäuse, bei dem eine Mehrzahl von Lotkugeln, die an einem Substrat angebracht sind, als externe Anschlüsse verwendet werden, zu erzeugen. Ein Micro-BGA-Halbleitergehäuse, hergestellt, indem eine Mehrzahl von Lotkugeln durch Erwärmen in einem Ofen an einer oberen oder einer unteren Oberfläche eines Substrats angebracht werden, hat dahingehend Vorteile, daß dessen Produktivität erhöht wird und daß die externen Anschlüsse bei Einwirkung von außen kaum verformt werden, da jeder der externen Anschlüsse eine Kugelform aufweist.

Nun wird mit Bezug auf die beigefügte Zeichnung die Struktur eines BGA-Halbleitergehäuses gemäß dem Stand der Technik beschrieben.

In Fig. 1 ist ein Elastomer 2 an einer mittigen Position einer oberen Oberfläche eines Halbleiterchips 1 angebracht und ein Klebstoffharz 3 mit hohem Haftvermögen auf dem Elastomer 2 geformt. Eine Mehrzahl von Metalleiterbahnen, die elektrische Signale übertragen, ist auf dem Klebstoffharz 3 angebracht und ein Endteil jeder der Metalleiterbahnen ist mit einer Metallzuleitung 4b verbunden, die mit einer auf einem Randteil der oberen Oberfläche des Halbleiterchips 1 geformten Kontaktfläche 6 verbunden ist. Ein Lötstopplack 5 bedeckt die Metalleiterbahnen 4a und das Klebstoffharz 3 abgesehen von Teilen der Metalleiterbahnen, auf denen Lotkugeln angebracht werden, und eine Kapselung 7 bedeckt die obere Oberfläche des Halbleiterchips 1 und die Metallzuleitungen 4b, die nicht mit dem Lötstopplack 5 bedeckt sind. Zusätzlich sind auf den Metalleiterbahnen 4a leitende Kugeln 8 geformt und dienen als Ausgangsanschlüsse.

Da die leitenden Kugeln jedoch nur an einer Seite von Oberflächen des Gehäuses freigelegt sind (in Fig. 1 sind die leitenden Kugeln an dessen oberer Oberfläche freigelegt), ist es mit dem so ausgestatteten BGA-Halbleitergehäuse unmöglich, ein stapelbares Gehäuse hoher Packungsdichte zu erzeugen.

ZUSAMMENFASSUNG DER ERFINDUNG

Die vorliegende Erfindung richtet sich folglich auf ein Halbleitergehäuse, das Probleme infolge von Beschränkungen und Nachteilen des Stands der Technik umgeht.

Es ist Aufgabe der vorliegenden Erfindung, ein stapelbares BGA-Halbleitergehäuse und ein Verfahren zu dessen Herstellung bereitzustellen, die Vorteile des BGA-Gehäuses gemäß dem Stand der Technik wie keine Verformung äußerer Zuleitungen, Eignung für das Gehäuse mit hoher Pinanzahl und hervorragende Leitfähigkeit aufrechterhalten und auch die Dichte bestückter Halbleitergehäuse erhöhen.

Zusätzliche Merkmale und Vorteile der Erfindung werden in der folgenden Beschreibung dargestellt und werden zum Teil aus der Beschreibung ersichtlich oder können durch Umsetzen der Erfindung in die Praxis erfahren werden. Die

Aufgaben und andere Vorteile der Erfindung werden durch die insbesondere sowohl in der schriftlichen Beschreibung und den Ansprüchen als auch in den beigefügten Zeichnungen dargestellte Struktur verwirklicht und erreicht.

Um diese und andere Vorteile zu erzielen und gemäß dem Zweck der vorliegenden Erfindung wie verwirklicht und ausführlich beschrieben, beinhaltet ein stapelbares BGA-Halbleitergehäuse: ein Trägerglied, ausgestattet mit einer Trägerplatte, einem auf einem Oberteil der Trägerplatte entlang deren Randteil geformten Trägerrahmen, an oberen und unteren Oberflächen des Trägerrahmens freigelegten Metallmustern, an einem Unterteil der Trägerplatte geformten und mit den Metallmustern verbundenen Metalleiterbahnen, einem Lötstopplack, der die Metalleiterbahnen abschirmt, und durch teilweises Freilegen der Metalleiterbahnen geformten Verbindungsteilen; einen auf der Trägerplatte des Trägerglieds angebrachten Halbleiterchip, der auf einem Randteil von dessen oberer Oberfläche Kontaktflächen aufweist; an einem Oberteil des Halbleiterchips angebrachte Metalleiterbahnen; Metallzuleitungen, die mit Endteilen der Metalleiterbahnen und den Kontaktflächen des Halbleiterchips verbunden sind und zu einer Außenseite des Halbleiterchips verlaufen, um dadurch mit oberen Oberflächen der Metallmuster verbunden zu werden; eine Mehrzahl von leitenden Kugeln, die an den Metalleiterbahnen angebracht sind; einen Lötstopplack, der die Metalleiterbahnen bedeckt; und eine Kapselung die die Metalleiterbahnen, die Metallzuleitungen, die Metallmuster und Teile der oberen Oberfläche des Halbleiterchips bedeckt.

Um die Aufgabe der vorliegenden Erfindung zu erfüllen, wird außerdem ein Verfahren zur Herstellung eines stapelbaren BGA-Halbleitergehäuses bereitgestellt, das beinhaltet: Formen eines Trägerglieds, das eine Trägerplatte, einen auf einem Oberteil der Trägerplatte entlang deren Randteil geformten Trägerrahmen, an oberen und unteren Oberflächen des Trägerrahmens freigelegte Metallmuster, an einem Unterteil der Trägerplatte geformte und mit den Metallmustern verbundene Metalleiterbahnen, einen Lötstopplack, der die Metalleiterbahnen abschirmt, und durch teilweises Freilegen der Metalleiterbahnen geformte Verbindungsteile beinhaltet; Anbringen der Metallmuster auf einem Halbleiterchip, der auf einem Randteil von dessen oberer Oberfläche Kontaktflächen aufweist; Formen eines Lötstopplacks auf den Metalleiterbahnen; Freilegen von Teilen oberer Oberflächen der Metalleiterbahnen durch teilweises Entfernen des Lötstopplacks; Anbringen des Halbleiterchips auf der Trägerplatte; Formen von Metalleiterbahnen und Metallzuleitungen durch Anbringen der Metallmuster an den Kontaktflächen des Halbleiterchips; Verbinden eines Endteils jeder der Metallzuleitungen mit oberen Oberflächen der Metallmuster; Abdecken der Metallzuleitungen, der Kontaktflächen und von Teilen des Halbleiterchips mit einer Kapselung; und Anbringen leitender Kugeln an entsprechenden freigelegten Teilen der Metalleiterbahnen des Oberteils des Halbleiterchips.

Es sollte klar sein, daß sowohl die vorangehende allgemeine Beschreibung als auch die folgende ausführliche Beschreibung als Beispiel und Erklärung dienen und eine weitere Erläuterung der Erfindung wie beansprucht liefern sollen.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

Die beigefügten Zeichnungen, die enthalten sind, um ein weitergehendes Verständnis der Erfindung zu liefern und einen Teil dieser Spezifikation bilden, zeigen Ausführungsformen der Erfindung und dienen zusammen mit der Beschreibung dazu, die Prinzipien der Erfindung zu erklären.

Fig. 1 ist ein vertikaler Schnitt durch ein BGA-Halbleitergehäuse gemäß dem Stand der Technik;

Fig. 2 ist ein vertikaler Schnitt durch ein stapelbares BGA-Halbleitergehäuse gemäß einer ersten Ausführungsform der vorliegenden Erfindung;

Fig. 3 ist ein vertikaler Schnitt durch ein stapelbares BGA-Halbleitergehäuse gemäß einer zweiten Ausführungsform der vorliegenden Erfindung;

Fig. 4 ist ein vertikaler Schnitt durch gestapelte BGA-Halbleitergehäuse unter Verwenden eines stapelbaren BGA-Halbleitergehäuses gemäß der vorliegenden Erfindung; und

Fig. 5A bis 5H sind Diagramme des Herstellungsprozesses für ein stapelbares BGA-Halbleitergehäuse gemäß der vorliegenden Erfindung.

AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

Nun wird im Detail auf die bevorzugten Ausführungsformen der vorliegenden Erfindung Bezug genommen, für die in den beigefügten Zeichnungen Beispiele dargestellt sind.

Fig. 2 zeigt ein stapelbares BGA-Halbleitergehäuse gemäß einer ersten Ausführungsform der vorliegenden Erfindung.

Zunächst wird ein Trägerglied 21 bereitgestellt, in dem eine Halbleiterchipvorrichtung plaziert wird. Die Struktur des Trägerglieds 21 ist folgende. Ein Trägerrahmen 25 vorbestimmter Höhe ist entlang einem Randbereich auf einer Trägerplatte 23 geformt. Metalleiterbahnen 24a mit demselben Muster wie Metalleiterbahnen 4a, die auf einer oberen Oberfläche des Halbleiterchips 1 geformt werden, sind an einer unteren Oberfläche der Trägerplatte 23 angebracht. Außerdem verhindert ein Lötstopplack 27, der die Metalleiterbahnen 24a und die Trägerplatte 23 bedeckt, daß leitende Kugeln, externe Anschlüsse und die Metalleiterbahnen 24a kurzgeschlossen werden und schützt die Metalleiterbahnen 24a vor Einwirkung von außen. Der Lötstopplack 27 wird teilweise entfernt, um dadurch Teile der Metalleiterbahnen 24a freizulegen. Freigelegte Teile der Metalleiterbahnen 24a sind hier Verbindungsteile 24b. Die Verbindungsteile 24b entsprechen jeweils leitenden Kugeln 8a, die auf den auf dem Halbleiterchip 1 angebrachten Metalleiterbahnen 4a geformt sind.

Ferner sind Metallmuster 26, die zu Leiterbahnen werden, in den Trägerrahmen 25, der die vorbestimmte Höhe aufweist und entlang dem Randbereich auf der Trägerplatte 23 geformt ist, gelegt. Die Metallmuster 26 sind mit einem Ende jeder der Metalleiterbahnen 24a verbunden. Das andere Ende jedes der Metallmuster 26 ist an der oberen Oberfläche des Trägerrahmens 25 freigelegt.

Als nächstes wird die Struktur des BGA-Halbleiterchipgehäuses erklärt. Der Halbleiterchip 1 ist durch einen Klebstoff auf der Trägerplatte 23 des Trägerglieds 21 und an einer Innenseite des Trägerrahmens 25 angebracht. Ein Elastomer 2 ist an einem Mittelteil der oberen Oberfläche des Halbleiterchips 1 angebracht und ein Klebstoffharz 3 mit hohem Haftvermögen ist auf dem Elastomer 2 geformt. Die Metalleiterbahnen 4a, die elektrische Signale übertragen, sind auf dem Klebstoffharz 3 angebracht und Endteile der Metalleiterbahnen 4a sind mit Metallzuleitungen 4b verbunden, die mit auf einem Randteil der oberen Oberfläche des Halbleiterchips 1 geformten Kontaktflächen 6 verbunden sind und zu einer Außenseite des Halbleiterchips 1 verlaufen, um mit Oberflächen der Metallmuster 26 verbunden zu sein.

Ein Lötstopplack 5 bedeckt die obere Oberfläche des Klebstoffharzes 3 und die gesamten Metalleiterbahnen 4a außer den Teilen, an denen die Lotkugeln angebracht sind. Außerdem bedeckt eine Kapselung 28 freigelegte Teile der

oberen Oberfläche des Halbleiterchips 1, die Metallzuleitungen 4b und den Oberteil des Trägerrahmens 25. Die leitenden Kugeln 8a sind an den vorbestimmten Teilen der Metalleiterbahnen 4a angebracht.

Signale, die vom Halbleiterchip über dessen Kontaktflächen ausgegeben werden, können somit über die mit den Metalleiterbahnen 4a verbundenen leitenden Kugeln 8a und die am unteren Teil des Trägerglieds 21 geformten Verbindungsteile 24b nach außen übertragen werden.

Das bedeutet, daß die Signalübertragung vom Halbleiterchip 1 und externen Schaltungen über die leitenden Kugeln 8a am Oberteil des Halbleiterchips 1 und die Verbindungsteile 24b an dessen Unterteil ermöglicht werden kann, um so gestapelte Halbleitergehäuse herstellen zu können.

Fig. 3 ist ein vertikaler Schnitt durch ein stapelbares BGA-Halbleitergehäuse gemäß einer zweiten Ausführungsform der vorliegenden Erfindung.

Die Struktur der zweiten Ausführungsform ist abgesehen davon, daß leitende Kugeln 8b auch an den freigelegten Teilen, das heißt den Verbindungsteilen 24b der Metalleiterbahnen 24a am Unterteil des Trägerglieds 21 angebracht sind, dieselbe wie die der ersten Ausführungsform. Da gemäß dem BGA-Halbleitergehäuse der zweiten Ausführungsform die Signale über die leitenden Kugeln 8a und die leitenden Kugeln 8b zu den Ober- und Unterteilen des Halbleiterchips 1 übertragen werden, wird es möglich, eine Mehrzahl stapelbarer BGA-Halbleitergehäuse gemäß der ersten oder zweiten Ausführungsform der vorliegenden Erfindung zu stapeln und somit nimmt die Packungsdichte des Gehäuses zu.

Fig. 4 zeigt gestapelte BGA-Halbleitergehäuse unter Verwenden des stapelbaren BGA-Halbleitergehäuses gemäß der ersten Ausführungsform der vorliegenden Erfindung.

Wie darin gezeigt wird eine Mehrzahl von stapelbaren BGA-Halbleitergehäusen 100, 110, 120, 130 gestapelt. Leitende Kugeln 108a, die auf einer oberen Oberfläche des Gehäuses 100 geformt sind, entsprechen jeweils Verbindungsteilen 24b einer unteren Oberfläche des BGA-Halbleitergehäuses 110. Leitenden Kugeln 118a, die auf einer oberen Oberfläche des Gehäuses 110 der zweiten Lage geformt sind, entsprechen jeweils Verbindungsteilen 24b einer unteren Oberfläche des BGA-Halbleitergehäuses 120. Zusätzlich entsprechen auf einer oberen Oberfläche des stapelbaren BGA-Halbleitergehäuses 120 der dritten Lage geformte leitende Kugeln 128a jeweils Verbindungsteilen 24b einer unteren Oberfläche des stapelbaren BGA-Halbleitergehäuses 130 der vierten Lage. Fig. 4 zeigt die vier gestapelten BGA-Gehäuse, aber die Anzahl von BGA-Gehäusen kann von Benutzer gewählt werden. Auf dem stapelbaren BGA-Halbleitergehäuse 130 geformte leitende Kugeln 138a dienen als externe Anschlüsse, die Signale zu den externen Schaltungen übertragen, indem sie auf Kontaktflächen einer Leiterplatte plaziert werden.

Nun wird das Verfahren zur Herstellung des stapelbaren BGA-Halbleiterchipgehäuses gemäß der vorliegenden Erfindung mit Bezug auf die beigefügten Zeichnungen beschrieben.

In Fig. 5A wird zunächst das Trägerglied 21 bereitgestellt. Das Trägerglied 21 beinhaltet: die Trägerplatte 23, die Metalleiterbahnen 24a, von denen jeweils ein Endteil in der Trägerplatte 23 liegt und die an der unteren Oberfläche der Trägerplatte 23 geformt sind und zu einer oberen Oberfläche der Trägerplatte 23 verlaufen, den Lötstopplack 27, der die Metalleiterbahnen 24a abgesehen von vorbestimmten Teilen von diesen, das heißt den Verbindungsteilen 24b, bedeckt, den Trägerrahmen 25 vorbestimmter Höhe, der entlang dem Randteil auf der Trägerplatte 23 geformt ist, und die im Trägerrahmen 25 geformten Metallmuster 26, von denen je-

weils ein Endteil an der oberen Oberfläche des Trägerrahmens 25 freigelegt und der andere Endteil mit den Metalleiterbahnen 24a verbunden ist, die auf der oberen Oberfläche der Trägerplatte 23 verlaufend geformt sind.

Wie in Fig. 53 gezeigt, wird das Elastomer 2, auf dessen oberer und unterer Oberfläche das Klebstoffharz 3 aufgebracht ist, auf dem Halbleiterchip 1, der auf einem Randteil seiner oberen Oberfläche Kontaktflächen zur Eingabe/Ausgabe von Signalen aufweist, angebracht und die Metallmuster 4 werden auf dem Elastomer 2 angebracht. Ein Endteil jedes der Metallmuster 4 wird am Elastomer 2 angebracht und deren anderer Endteil wird zu einer Außenseite des Elastomers 2 verlaufend geformt. An den Endteilen der Metallmuster 4, die zur Außenseite des Elastomers 2 verlaufend geformt sind, werden Kerben geformt, so daß auch bei einer leichten Einwirkung die Endteile der Metallmuster 4 angrenzend an die Kerben abgeschnitten werden. Als nächstes wird auf den Metallmustern 4 und dem Klebstoffharz 3 der Lötstopplack 5 geformt.

Als nächstes wird der Halbleiterchip 1 von Fig. 5B wie in Fig. 5C gezeigt im Trärglied 21 von Fig. 5A plaziert.

In Fig. 5D werden die auf dem Halbleiterchip 1 geformten Kontaktflächen 6 unter Verwenden eines Bondwerkzeugs 30 mit den vorbestimmten Teilen der Metallmuster 4 verbunden, indem die vorbestimmten Teile der Metallmuster 4 nach unten gedrückt werden. Fig. 5D ist ein vertikaler Schnitt durch einen Teil in Fig. 5C, um zu zeigen, wie die Kontaktflächen 6 mit den Metallzuleitungen verbunden werden. Die Teile der Metallmuster 4, die auf der oberen Oberfläche des Elastomers 2 geformt sind, sind hier die Metalleiterbahnen 4a und deren Teile, die mit den Kontaktflächen 6 an deren Außenseiten verbunden werden, sind die Metallzuleitungen 4b.

Danach werden in Fig. 5E äußere Endteile der Kerben der Metallzuleitungen 4b, die sich in Richtung der Außenseite des Halbleiterchips 1 erstrecken, durch das Bondwerkzeug 30 abgeschnitten und außerdem werden die Endteile der Metallzuleitungen 4b durch Verwenden des Bondwerkzeugs 30 mit den oberen Oberflächen der Metallmuster 26 verbunden, die im Trägerrahmen 25 liegen.

In Fig. 5F wird die Kapselung 28 so geformt, daß sie die Metalleiterbahnen 4a und die auf den Halbleiterchip 1 geformten und mit dem Lötstopplack 5 bedeckten Metallzuleitungen 4b bedeckt. Als nächstes wird der auf den Metalleiterbahnen 4a geformte Lötstopplack 5 teilweise entfernt, um so Teile der Metalleiterbahnen 4a freizulegen.

In Fig. 5G werden die leitenden Kugeln 8a auf den freigelegten Teilen der Metalleiterbahnen 4a plaziert und es wird ein Reflow-Prozeß auf diese angewandt, um so die leitenden Kugeln 8a an den Metalleiterbahnen 4a anzubringen.

Durch Ausführen der Prozesse von Fig. 5A bis 5G wird das stapelbare BGA-Halbleitergehäuse gemäß der ersten Ausführungsform der vorliegenden Erfindung fertiggestellt.

Ferner wird zusätzlich der Prozeß von Fig. 5H durchgeführt, um so das stapelbare BGA-Halbleitergehäuse gemäß der zweiten Ausführungsform zu erzeugen. Das bedeutet, daß die leitenden Kugeln 8b auf den Verbindungsteilen 24b plaziert werden und der Reflow-Prozeß auf diese angewandt wird, um die leitenden Kugeln 8b an den Verbindungsteilen 24b anzubringen.

Wie oben beschrieben, hält das stapelbare BGA-Halbleitergehäuse der vorliegenden Erfindung die Vorteile des herkömmlichen BGA-Gehäuses wie keine Verformung der äußeren Zuleitungen, Eignung für Gehäuse mit hoher Pinanzahl usw. aufrecht und erhöht die Packungsdichte von Halbleitergehäusen, um so die Forderung nach Zuverlässigkeit und hoher Packungsdichte des Halbleitergehäuses zu erfüllen.

1. Stapelbares BGA-Halbleitergehäuse, das umfaßt: einen Träger (21), der eine Trägerplatte (23), einen auf einem Oberteil der Trägerplatte (23) entlang deren Randteil geformten Trägerrahmen (25), an oberen und unteren Oberflächen des Trägerrahmens (25) freigelegte Metallmuster (26), an einem Unterteil der Trägerplatte (23) geformte und mit den Metallmustern (26) verbundene Metalleiterbahnen (24a), eine Lötstoppschicht (27), die die Metalleiterbahnen (24a) abschirmt, und durch teilweises Freilegen der Metalleiterbahnen (24a) geformte Verbindungsteile (24b) beinhaltet; einen Halbleiterchip (1), der auf der Trägerplatte (23) des Trägers (21) angebracht ist und auf einem Randteil von dessen oberer Oberfläche Kontaktflächen (6) aufweist; Metalleiterbahnen (4a), die auf einem Oberteil des Halbleiterchips (1) angebracht sind; Metallzuleitungen (4b), die mit Endteilen der Metalleiterbahnen (4a) und den Kontaktflächen (6) des Halbleiterchips (1) verbunden sind und zu einer Außenseite des Halbleiterchips (1) verlaufen, um so mit oberen Oberflächen der Metallmuster (26) verbunden zu sein; eine Mehrzahl von leitenden Kugeln (8a), die an den Metalleiterbahnen (4a) angebracht sind; eine Lötstoppschicht (5) die die Metalleiterbahnen (4a) bedeckt; und eine Kapselung (28), die die Metalleiterbahnen (4a), die Metallzuleitungen (4b), die Metallmuster (26) und Teile der oberen Oberfläche des Halbleiterchips (1) bedeckt.
2. Gehäuse nach Anspruch 1, das ferner umfaßt: eine Mehrzahl von leitenden Kugeln (8b), die an den Verbindungsteilen (24b) befestigt ist.
3. Gehäuse nach Anspruch 1, worin die Metalleiterbahnen (4a) durch ein Elastomer (2) am Oberteil des Halbleiterchips (1) befestigt sind.
4. Verfahren zur Herstellung eines stapelbaren BGA-Halbleiterchipgehäuses mit den Schritten:
Formen eines Trägers (21), der eine Trägerplatte (23), einen auf einem Oberteil der Trägerplatte (23) entlang deren Randteil geformten Trägerrahmen (25), an oberen und unteren Oberflächen des Trägerrahmens (25) freigelegte Metallmuster (26), an einem Unterteil der Trägerplatte (23) geformte und mit den Metallmustern (26) verbundene Metalleiterbahnen (24a), eine Lötstoppschicht (27), die die Metalleiterbahnen (24a) abschirmt, und durch teilweises Freilegen der Metalleiterbahnen (24a) geformte Verbindungsteile (24b) beinhaltet;
Anbringen der Metallmuster (4) auf einem Halbleiterchip (1), der auf einem Randteil von dessen oberer Oberfläche Kontaktflächen (6) aufweist;
Formen einer Lötstoppschicht (5) auf den Metalleiterbahnen (4a);
Freilegen von Teilen oberer Oberflächen der Metalleiterbahnen (4a) durch teilweises Entfernen des Lötstopplacks (5);
Anbringen des Halbleiterchips (1) auf der Trägerplatte (23);
Formen von Metalleiterbahnen (4a) und Metallzuleitungen (4b) durch Anbringen der Metallmuster (4) an den Kontaktflächen (6) des Halbleiterchips (1);
Verbinden eines Endteils jeder der Metallzuleitungen (4b) mit oberen Oberflächen der Metallmuster (26);
Bedecken der Metallzuleitungen (4), der Kontaktflächen

chen (6) und von Teilen des Halbleiterchips (1) mit einer Kapselung (28); und

Anbringen leitender Kugeln (8a) an entsprechenden freigelegten Teilen der Metalleiterbahnen (4a) des oberen Teils des Halbleiterchips (1). 5

5. Verfahren nach Anspruch 4, worin der schritt Anbringen der Metallmuster (4) auf dem Halbleiterchip (1) umfaßt:

Anbringen eines Elastomers (2), auf dessen Ober- und Unterseiten ein Klebstoffharz (3) mit hohem Haftvermögen aufgebracht ist, an der oberen Oberfläche des Halbleiterchips (1); und 10

der Metallmuster (4) auf dem Elastomer (2).

6. Verfahren nach Anspruch 4, worin der Schritt Anbringen der Metallmuster (4) an den Kontaktflächen (6) des Halbleiterchips (1) ein Prozeß ist, bei dem die Kontaktflächen (6) mit einem Bondwerkzeug (30) nach unten gedrückt werden und das Bondwerkzeug (30) in jede Richtung bewegt wird. 15

7. Verfahren nach Anspruch 4, worin der Schritt Anbringen der leitenden Kugeln (8a) an den Metalleiterbahnen (4a) des Oberteils des Halbleiterchips (1) umfaßt: 20

Plazieren der leitenden Kugeln (8a) auf den freigelegten Teilen der Metalleiterbahnen (4a); und 25

Anwenden eines Fließlöt-Prozesses auf die leitenden Kugeln (8a).

Hierzu 5 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

FIG. 1
STAND DER TECHNIK

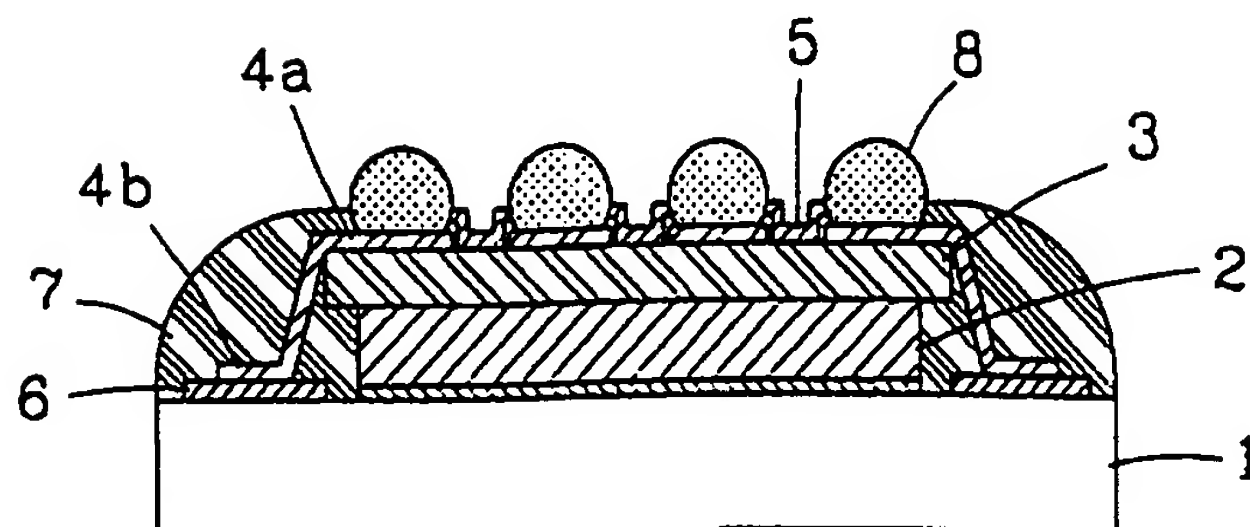


FIG. 2

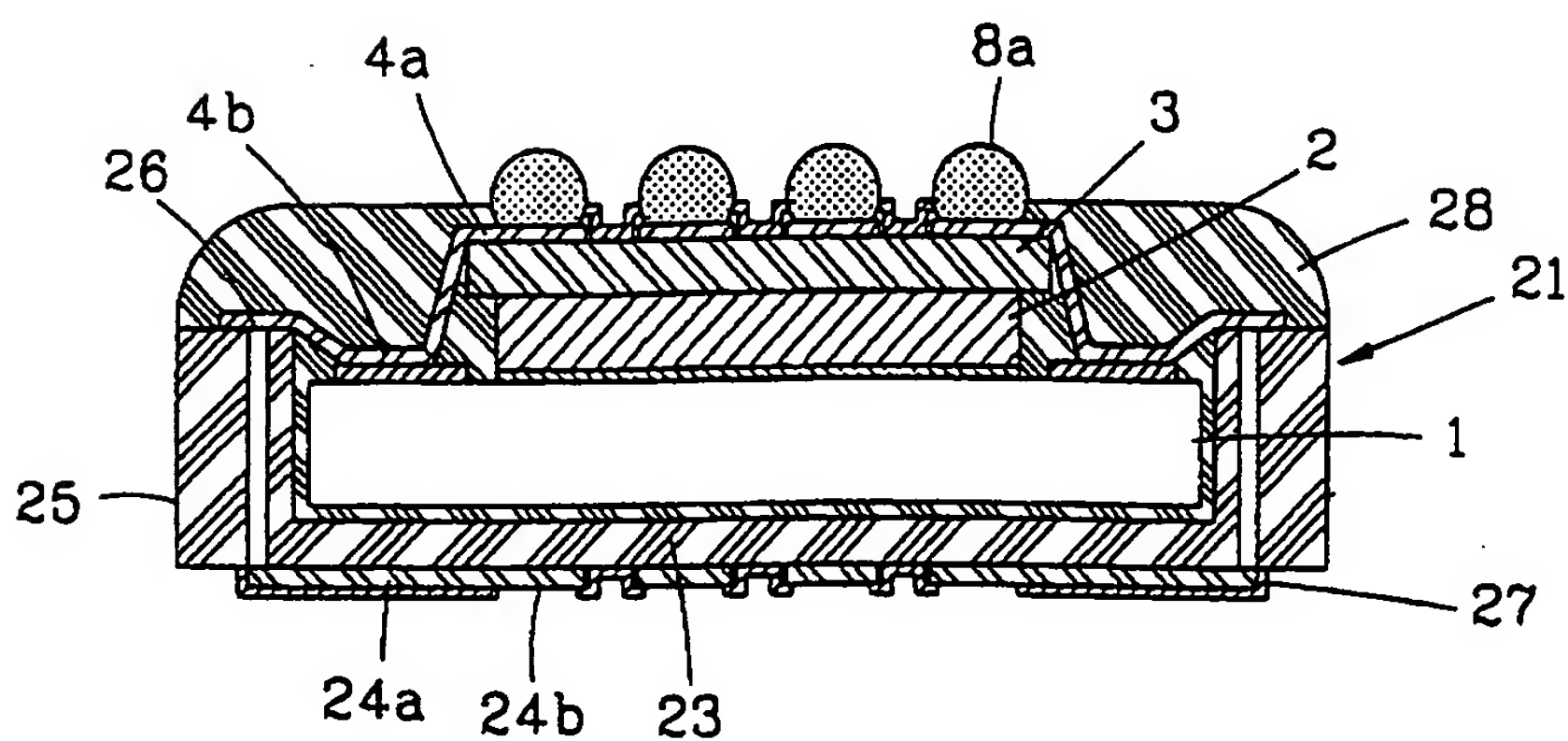


FIG. 3

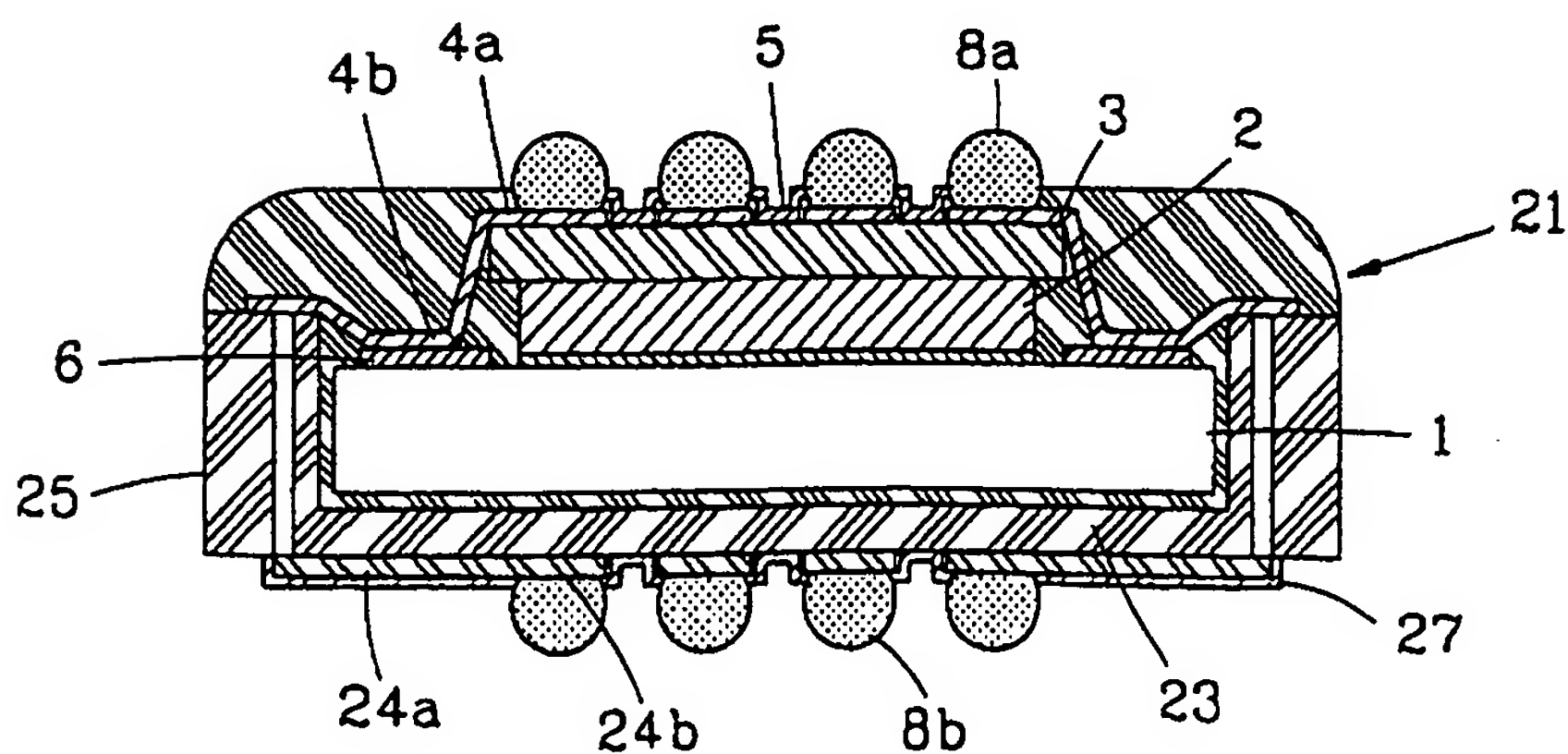


FIG. 4

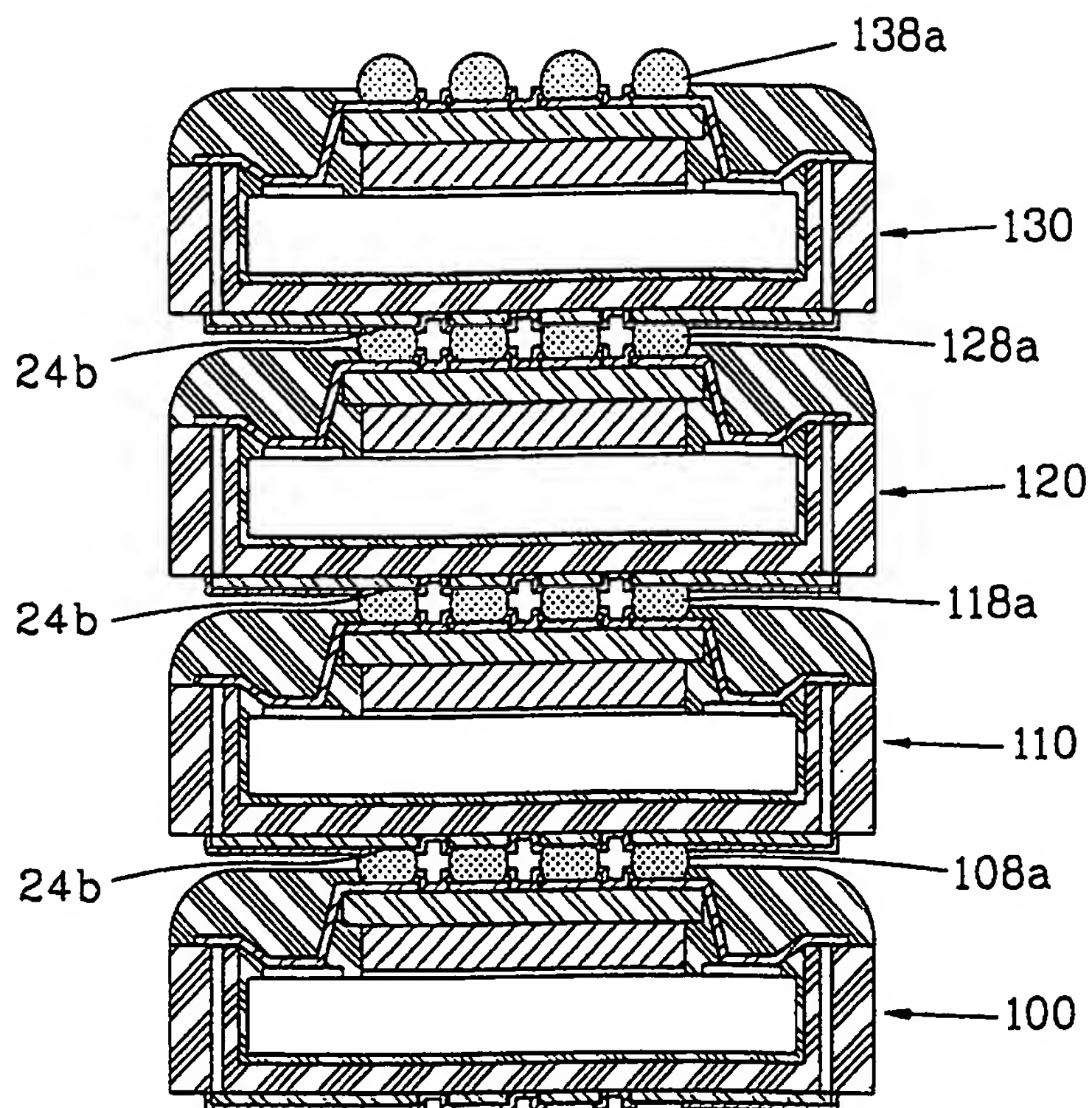


FIG. 5A

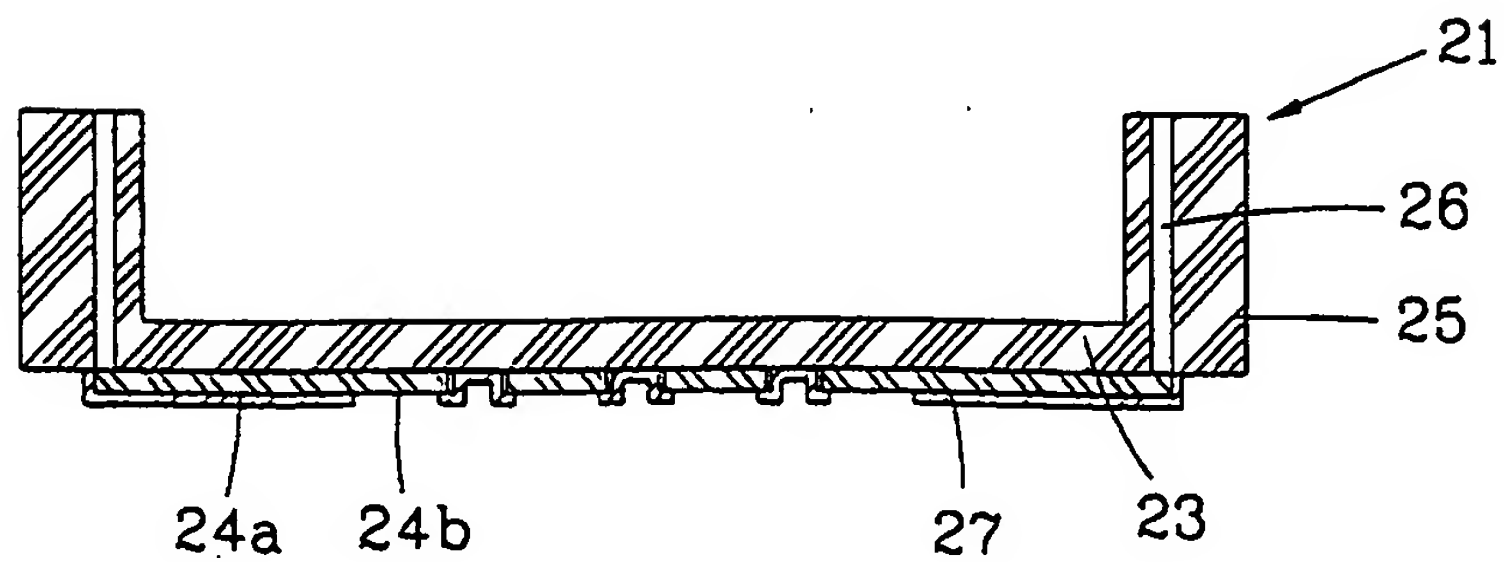


FIG. 5B

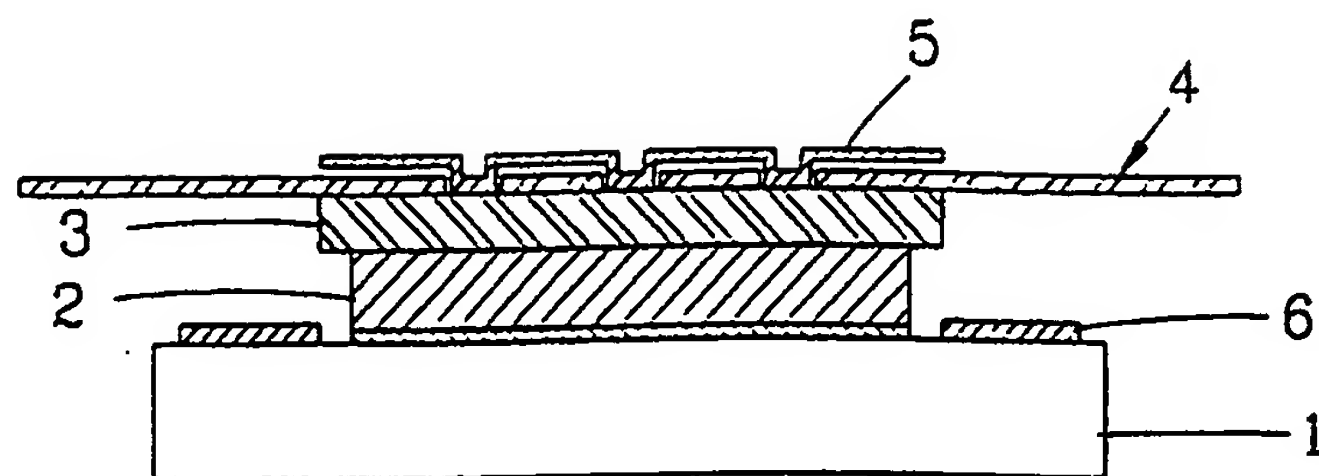


FIG. 5C

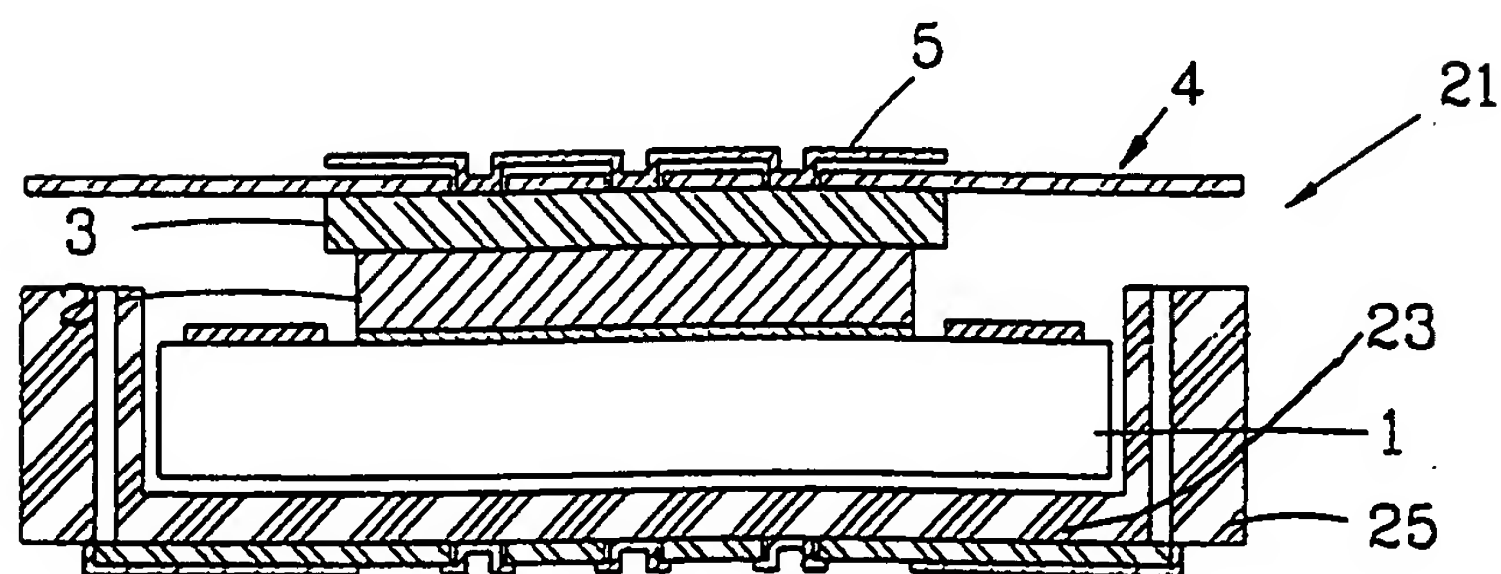


FIG. 5D

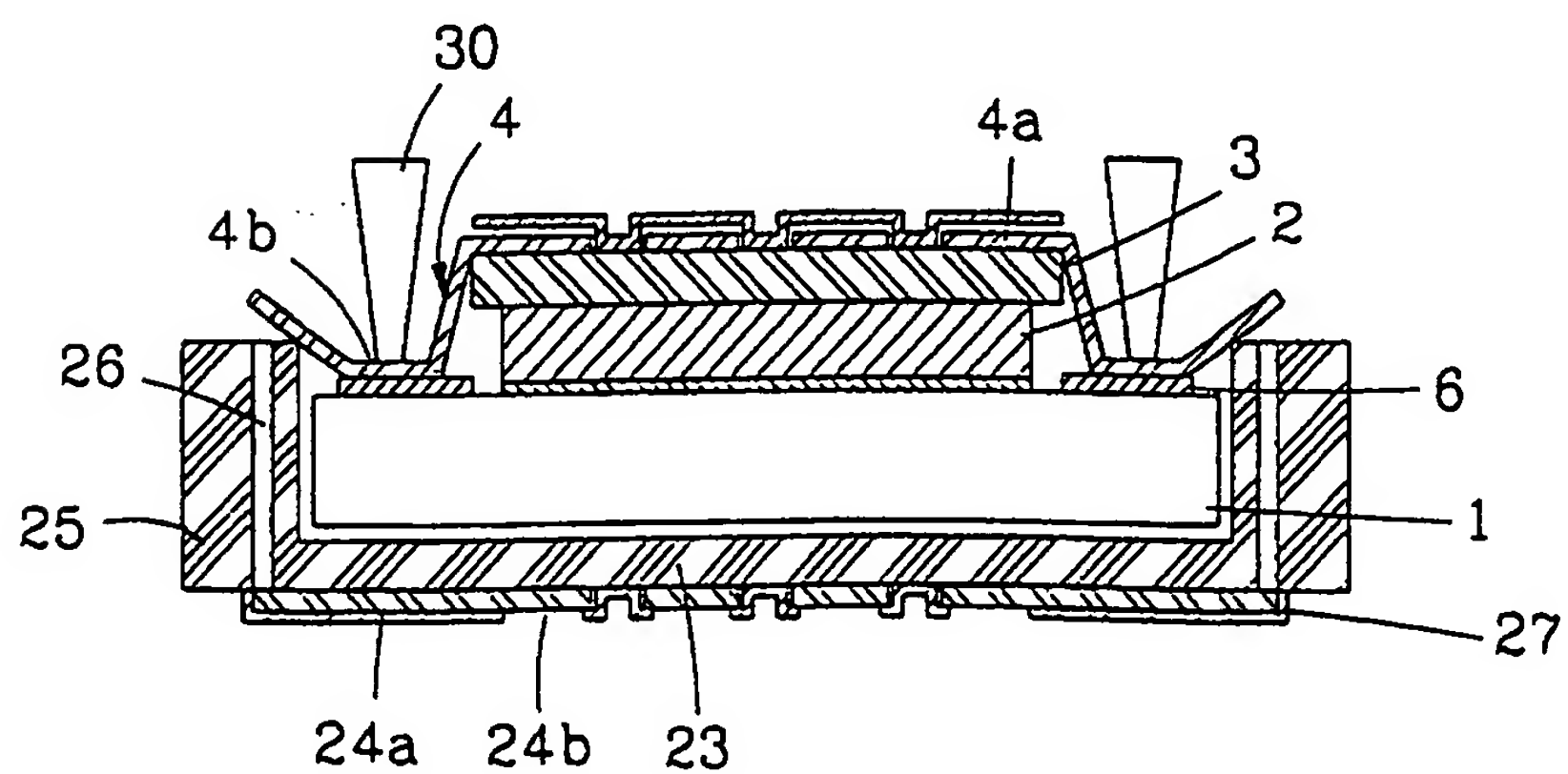


FIG. 5E

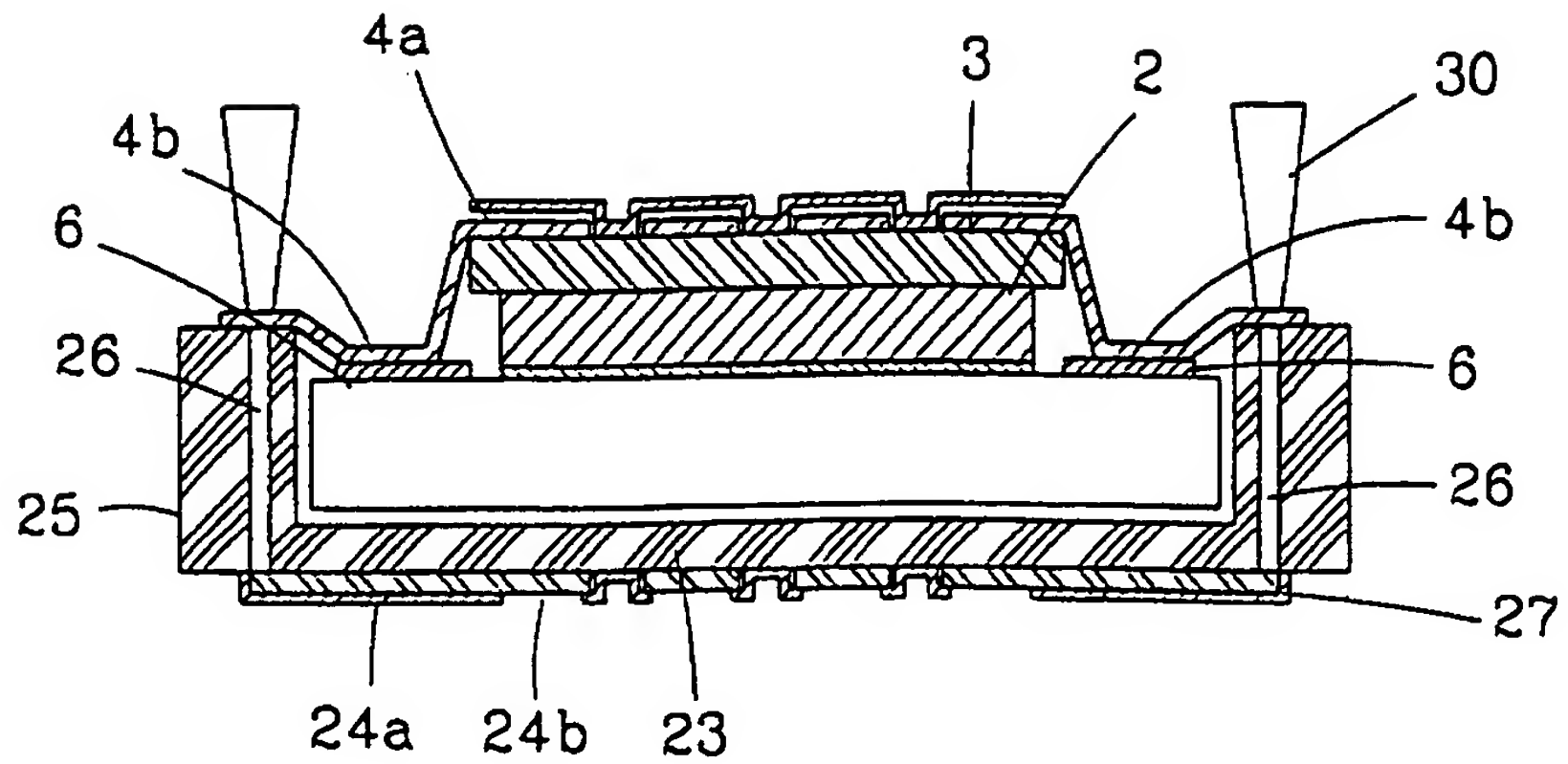


FIG. 5F

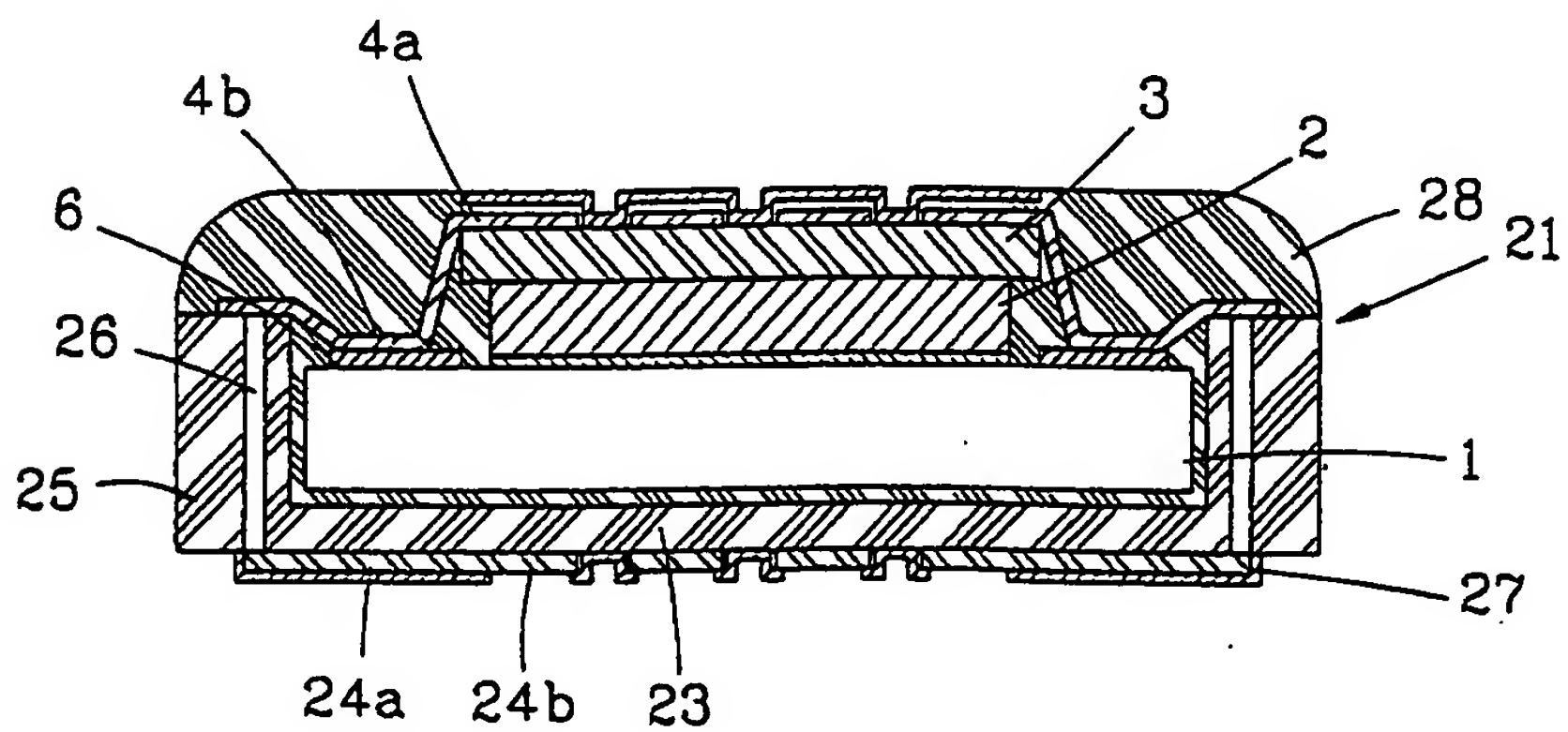


FIG. 5G

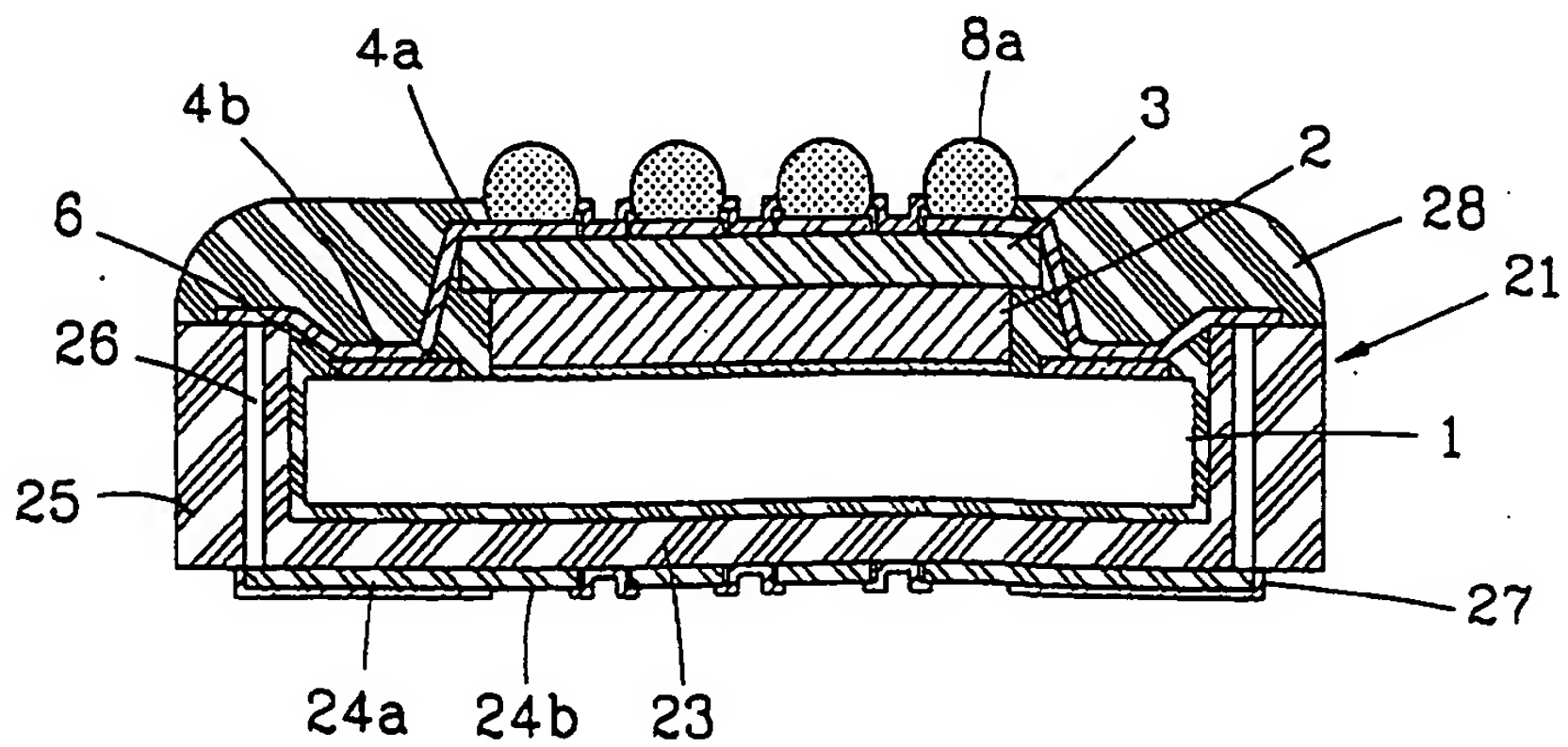


FIG. 5H

